

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat
(c) 2004 EPO. All rts. reserv.



10798303

Basic Patent (No,Kind,Date): JP 4206532 A2 19920728 <No. of Patents: 006>

**MANUFACTURING METHOD AND DEVICE FOR THIN FILM SEMICONDUCTOR,
AND IMAGE**

PROCESSING APPARATUS (English)

Patent Assignee: HITACHI LTD

Author (Inventor): AOYAMA TAKASHI; OGAWA KAZUHIRO; MOCHIZUKI YASUHIRO;
MONMA NAOHIRO

IPC: *H01L-021/336; G02F-001/133; G02F-001/1343; G02F-001/136; H01L-021/20;
H01L-021/205; H01L-027/12; H01L-029/40; H01L-029/784

Derwent WPI Acc No: C 92-296982

JAPIO Reference No: 160539E000107

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date	
JP 4206532	A2	19920728	JP 90329054	A	19901130	(BASIC)
JP 4286318	A2	19921012	JP 9151270	A	19910315	
JP 3121005	B2	20001225	JP 90329054	A	19901130	
JP 3458216	B2	20031020	JP 9151270	A	19910315	
KR 270131	B1	20001016	KR 200010275	A	20000229	
US 5294811	A	19940315	US 801350	A	19911202	

Priority Data (No,Kind,Date):

JP 90329054 A 19901130

JP 9151270 A 19910315

KR 9121864 A3 19911130

?

DIALOG(R)File 347:JAPIO
(c) 2004 JPO & JAPIO. All rts. reserv.

03921218 **Image available**

POLYCRYSTALLINE SEMICONDUCTOR THIN FILM AND METHOD AND
DEVICE FOR
MANUFACTURE THEREOF

PUB. NO.: 04-286318 [JP 4286318 A]

PUBLISHED: October 12, 1992 (19921012)

INVENTOR(s): OGAWA KAZUHIRO
MOCHIZUKI YASUHIRO
USAMI KATSUHISA

APPLICANT(s): HITACHI LTD [000510] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 03-051270 [JP 9151270]

FILED: March 15, 1991 (19910315)

INTL CLASS: [5] H01L-021/20; H01L-021/268; H01L-027/12; H01L-029/784

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R002 (LASERS); R096 (ELECTRONIC MATERIALS -- Glass
Conductors)

JOURNAL: Section: E, Section No. 1325, Vol. 17, No. 94, Pg. 17,
February 24, 1993 (19930224)

ABSTRACT

PURPOSE: To obtain a polycrystalline silicon film having uniform crystal grain diameter and excellent crystallinity by modifying the polycrystalline silicon film by conducting a laser annealing treatment on an amorphous silicon film.

CONSTITUTION: A substrate 10, on which an amorphous silicon film 11 is formed, is set in a non-oxidizing atmosphere chamber 13 provided with a sample holder 12 with a substrate-heating mechanism. When the amorphous silicon film on the substrate is laser-annealed by projecting an XeXl excimer laser, the substrate is heated, and then the substrate side of the above-mentioned amorphous silicon film is heated. As a result, temperature distribution is formed in the film thickness direction of the amorphous silicon film, crystallization is started from the surface layer, and polycrystalline silicon having uniform crystal diameter and excellent crystallinity is obtained. The amorphous silicon film may be crystallized from the surface layer by cooling its surface layer using the inert gas obtained by cooling the atmosphere in the chamber 13 by a cooling mechanism 15.

(19)日本国特許庁 (JP)

(20) 公開特許公報 (A)

(11)特許出願公開番号

特開平4-286318

(43)公開日 平成4年(1992)10月12日

(51)Int.Cl.
H 01 L 21/20
21/208
27/12 A 8728-4M
R 8729-4M
9050-4M

摘要記号 片内整理番号 P I

技術表示箇所

H 01 L 29/78 3 1 1 F

審査請求 未請求 請求項の数9(全6頁) 最終頁に統く

(21)出願番号 特願平3-51270
(22)出願日 平成3年(1991)8月15日

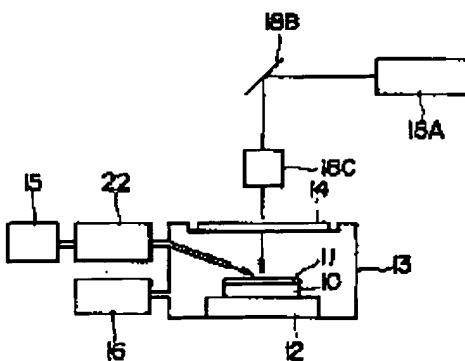
(71)出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地
(72)発明者 小川 和宏
茨城県日立市久慈町4026番地 株式会社日
立製作所日立研究所内
(72)発明者 穂月 康弘
茨城県日立市久慈町4026番地 株式会社日
立製作所日立研究所内
(72)発明者 宇佐美 勝久
茨城県日立市久慈町4026番地 株式会社日
立製作所日立研究所内
(74)代理人 弁理士 織田 長之

(54)【発明の名称】 多結晶半導体薄膜及びその製造方法と製造装置

(57)【要約】

【目的】 非晶質シリコン膜をレーザアニールし、多結晶シリコン膜に変換するプロセスにより、結晶粒径が均一であり結晶性の優れた多結晶シリコン膜を提供する。

【構成】 基板加熱機構付サンプルホルダ12を備えた非離化性雰囲気のチャンバー13内に非晶質シリコン膜11を形成したガラス基板10をセットする。基板上の非晶質シリコン膜にArClエキシマレーザを照射してレーザアニールする時に、基板を加熱し、前記非晶質シリコン膜の基板側を加熱する。これにより、非晶質シリコン膜の膜厚方向に温度分布ができ、表面層から結晶化が始まり、結晶粒径が均一で、結晶性の優れた多結晶シリコンが得られる。該チャンバー13内の雰囲気を冷却機構15で冷却した不活性ガスとして、非晶質シリコン膜の表面層を冷却し、これによって表面層から結晶化させてもよい。



【特許請求の範囲】

【請求項1】 基板上に非晶質半導体薄膜を形成し、該基板をチャンバー内に設置して前記非晶質半導体薄膜にレーザビーム成いは電子ビームを走査しアニールを行う場合において、半導体薄膜の表面層を基板よりも低温になるように温度勾配を設けアニールすることを特徴とする多結晶半導体薄膜の製造方法。

【請求項2】 基板上に非晶質半導体薄膜を形成し、該基板をチャンバー内に設置して前記非晶質半導体薄膜にレーザビーム成いは電子ビームを走査しアニールを行う場合において、前記アニール工程時に、前記チャンバー内において前記基板を加熱することを特徴とする多結晶半導体薄膜の製造方法。

【請求項3】 アニール工程時に、前記チャンバーに熱伝導度の高い不活性ガスを注入することを特徴とする請求項1または2に記載の多結晶半導体薄膜の製造方法。

【請求項4】 チャンバーに注入される不活性ガスがヘリウムであることを特徴とする請求項3に記載の多結晶半導体薄膜の製造方法。

【請求項5】 不活性ガスが室温以下に冷却されていることを特徴とする請求項3に記載の多結晶半導体薄膜の製造方法。

【請求項6】 非晶質半導体薄膜が非晶質シリコン膜又は非晶質シリコンを主体とする膜であることを特徴とする請求項1乃至5のいずれかに記載の多結晶半導体薄膜の製造方法。

【請求項7】 非晶質半導体薄膜が形成された基板を載置する手段を有するチャンバーと、該チャンバー内に載置された前記基板上の非晶質半導体薄膜にアニール用レーザビームを照射するアーニール用レーザ及びその光学系とを備えてなる多結晶半導体薄膜の製造装置において、前記チャンバーが基板加熱機構を備えることを特徴とする多結晶半導体薄膜の製造装置。

【請求項8】 チャンバーに非酸化性ガスを供給する雰囲気ガス供給系と、該雰囲気ガス供給系と前記チャンバーとの間に介在され、前記非酸化性ガスを冷却する冷却機構とを設けたことを特徴とする請求項7に記載の多結晶半導体薄膜の製造装置。

【請求項9】 請求項1乃至6のいずれかに記載した方法にて製造した多結晶半導体薄膜から成ることを特徴とする基板半導体装置。

【発明の詳細な説明】

【0001】

【実業上の利用分野】 本発明は多結晶半導体薄膜の製造方法におけるレーザアニールによる結晶性の制御方法及びそれを用いて製造された薄膜半導体装置並びにその製造装置に関する。

【0002】

【従来の技術】 従来、基板上に形成した非晶質半導体薄膜をレーザアーニールし、多結晶半導体薄膜に改質するブ

ロセスとしては、特開昭63-26813号公報やIEEE TRANSACTION ON ELECTRON DEVICES, VOL. 36, NO. 12, DECEMBER 1989 p2869-2872に記載された例がある。これらの従来例では、アーニールの雰囲気は真空中もしくは不活性ガス中であり、基板温度は室温としている。真空中或いは不活性ガス中でレーザアーニールすることにより空気中の酸素や水分及びその他の有害不純原子を減少させ、また表面に酸化膜等が形成されることを防止している。

【0003】

10 【発明が解決しようとする課題】 上記従来技術は、レーザアーニール時に雰囲中に酸素原子、炭素その他の異物が漏入するコンタミ現象や自然酸化膜の形成防止に関しては考慮されているが、得られた多結晶半導体薄膜の結晶粒径の均一性の保持や結晶粒の膜厚方向の分布に関して配慮がされていない。そのため、これを用いて多数の薄膜半導体装置を製造した場合、その電気特性のばらつきが生ずる。

【0004】 本発明の課題は、多結晶半導体薄膜の電気特性のばらつきを減少させるにある

【0005】

【課題を解決するための手段】 上記目的を達成するためには、本発明はレーザ照射時に基板側を高温に、半導体薄膜表面が低温になるような温度勾配を設けることを特徴としたものである。前記温度勾配を設ける手段としては、レーザアーニール時に基板を加熱する方法、熱伝導に優れた非酸化性ガスを照射雰囲気に使用する方法、前記非酸化性ガスを予め冷却して注入する方法、及びこれらの方法の組合せがある。さらに前記温度勾配を設ける手段として、レーザアーニール装置に、基板加熱機能及びまたはチャンバー内に導入されるガスの冷却機能を併せてもよい。

【0006】

【作用】 非晶質シリコン膜の表面層にレーザ照射し溶融固化させる場合、一般には、冷却固化は、膜の内部のレーザ照射により溶融しなかった部分と溶融した部分の境界部から始まり、最終的には表面層が固化する。シリコン膜表面層を低温にし、基板側を高温にしておくことで冷却固化がシリコン膜表面から起こる。これにより不均一な下地膜との界面の影響を受けずに自由表面から結晶化が起こり、シリコン膜上部の粒径は均一となり、かつ粒径が大きくなる。なおかつ、基板を加熱しておくことでシリコン膜の下層部(基板側部分)の冷却速度が遅くなり、シリコン膜下層部でも粒径を大きくすることができます。このように基板を高温に、シリコン膜表面を低温にしておくことで、膜全体が均一かつ大きな粒径の結晶から形成される。膜全体が均一かつ大きな粒径の結晶から形成されるので、半導体装置の電気特性のばらつきも少なくなる。

【0007】

【実施例】 以下、本発明の実施例を図面を用いて詳細に

説明する。

【0008】実施例1

図1は、本発明の実施例のレーザアニール装置の要部構成を示すブロック図である。本装置は、石英窓の窓を有するチャンバー13と、その真空排气系16と、前記チャンバー13に雰囲気ガスを供給する雰囲気ガス供給系15と、該雰囲気ガス供給系15とチャンバー13の間に介設されて雰囲気ガスを冷却する冷却機構22と、該チャンバー13にレーザ光を投射するレーザ系18とを含んで成る。チャンバー13内にはX-1ステージ及びそれに設置した加熱板付サンプルホルダー12が内蔵されている。レーザ系18は、IeClエキシマレーザビームを発生するレーザ発振器18Aと、ミラー18Bと、ビーム均一化機構18Cとを含んで構成されている。

【0009】まずサンプルをチャンバー13内のサンプルホルダー12にセットし、基板加熱機構により基板を80°Cに加熱した。サンプルとしては、ガラス基板10上にLPCVD法により非晶質シリコン膜11を厚さ100nm形成したものを使いた。次に、真空排气系16によりチャンバー13内を圧力が10⁻⁴Paになるまで排気し、その後、雰囲気ガス供給系15によりアルゴン、ネオンに比べて熱伝導性の優れたヘリウム(He)をチャンバー13内が1気圧(ほぼ10⁻¹~2.5Pa)になるまで注入した。その後、サンプル表面にIeClエキシマレーザを照射してレーザアニールした。レーザは発振波長308nm、パルス幅2msのものを使用し、照射エネルギーは250mJ/cm²の条件でアニールした。このアニールの際、雰囲気中のHeガスの存在と基板の加熱により、非晶質シリコン膜には、基板側が高く表面側が低くなる温度勾配が形成された。上記アニールプロセスにより得られた多結晶シリコン膜の断面SEM写真を見ると、シリコン膜全体が均一な100nm程度の結晶粒径となっていた。結晶性に関しては、SEM中で基板加熱なしでレーザアニールしたものと、本実施例の方法によりレーザアニールしたものとのX線回折強度を比較すると、前者は回折強度が約0.8cpsなのに対し、後者は約1.6cpsと2倍程度の差が生じ、これは後者の結晶成分が緻密であることを示している。以上のように、本実施例によれば、結晶粒径が均一で、かつ結晶粒子の分布が緻密な結晶性に優れた多結晶シリコン膜が形成できた。

【0010】実施例2

図1に示したレーザアニール装置を用いて、プラズマCVD法で形成した膜厚10、20、40、60、80、100nmの非晶質シリコン膜を結晶化した。プラズマCVD法による成膜はガラス基板上に、原料ガスとして水素H₂とモノシリランSiH₄を用い、圧力80Pa、基板温度300°C、RFパワー50Wの条件で形成した。また、プラズマCVD法で非晶質シリコン膜を成膜した場合は、膜中に水素が多量に含まれるために、前記シリコン膜に高エネルギーのレーザ照射すると膜の剥離が発生する。そのため、レーザアニールする前処理として、水素を減らす工程を加えた。この工程とし

ては、約400°Cの熱アーナーを行う方法や速乾溶剤のレーザを照射する方法などがあるが、本実施例では400°Cで15分間窒素雰囲気中で熱アーナーし、膜中に含まれる水素濃度を9%以下に減らした。その後、図1に示した装置にサンプルをセットし、上述実施例と同様なプロセスでレーザアニールした。得られた多結晶シリコン膜の結晶性について、図2に示す。縦軸は、1線回折強度の結果得られた(111)面、(220)面、(311)面からの回折強度の和を膜厚で割ったものであり、横軸は非晶質シリコン膜の膜厚である。図2から、基板加熱しない従来の方法でレーザアニールした場合の特性Aと比べると、本実施例(特性B)のものは、膜厚に依らず均一に、かつ非晶質シリコン膜全体を結晶化できることが判った。又、X線回折ピークの半値幅より算出できる結晶粒子サイズと膜厚の関係を、結晶子サイズ(nm)を縦軸に膜厚(hm)を横軸にとって図3に示す。この結果から、本実施例のもの(特性B)は結晶子サイズも膜厚に依らずにほぼ一定な12nm程度の値が得られ、従来法(特性A)に比べて均一性が優れていることがわかる。なお、結晶子は、直線的物体で結晶の初期的形成物をいう。本実施例によっても、前記第1の実施例と同様の効果が得られた。

【0011】実施例3

本発明を薄膜トランジスタ(TFT)形成プロセスに適用した場合について述べる。ガラス基板上にゲート電極となるCr膜2をスパッタ法により厚さ120nm堆積し、ホトエッティング工程によりゲート電極パターンにパターニングする(図4)。その後、プラズマCVD法により、ゲート絶縁層としてのSiN膜3及び半導体能動層としての非晶質シリコン膜4を連続して堆積させる(図5)。SiN膜3の形成条件は、基板温度350°C、ガス流量はSiH₄:10sec⁻¹、NH₃:60sec⁻¹、N₂:200sec⁻¹とし、膜厚350nm堆積した。非晶質シリコン膜4の形成条件は基板温度300°C、ガス流量はH₂:200sec⁻¹、SiH₄:70sec⁻¹とし、膜厚100nm堆積した。その後、熱処理して水素含有量を減少させてから図1に示した装置を用いて、本発明の方法により結晶化を行った。冷却機構22で室温以下に冷却したArガスをサンプル表面に吹き付け、基板加熱温度を300°C、IeClエキシマレーザの照射エネルギーを260mJ/cm²として、非晶質シリコン膜4に基板側が高く表面側が低くなる温度勾配を形成した。非晶質シリコン膜4が結晶化されて多結晶シリコン膜5となった後の構造断面図を図6に示す。その後、n型シリコン膜6をプラズマCVD法により280°Cで400nm堆積し、所定のパターンにホトエッティングによりパターニングした。そして、ソース・ドレイン電極としてスパッタ法により100°CでCr膜7を50nm、Al膜8を370nm形成した。上記プロセスの後、ホトエッティング工程により、まずAl膜8及びCr膜7をソース・ドレイン電極パターンとなるように選択除去し、次にn型シリコン膜6をドライエッティングにより除去し、チャネル領域を形成した。この時の構造断面図を図7に示す。

5

【0012】TFT形成後、SiN膜中の固定電荷を除去するためにN₂中で200°Cで1時間熱処理し、ゲート電圧とドレイン電流の関係を測定した。その結果、200m×280μmの大きさのガラス基板に形成したTFTの特性は、電界効果移動度45±10cm²/V·s、しきい値電圧2.4±0.4Vの良好な特性が得られた。一方、本発明の方法を用いて、基板加熱なしの真空中でレーザアニールした場合のTFTの特性は、電界効果移動度は平均15cm²/V·s、最大5.2cm²/V·s、最小5cm²/V·sと小さく、かつばらつきが大きい。以上のように、本実施例によれば、電気的特性の優れたTFTが形成できた。

【0013】実施例4

次に、本発明を駆動回路一体型TFTアクティブマトリクス方式液晶ディスプレイに適用した実施例について説明する。前記液晶ディスプレイの概略図を図8に示す。図案部100と駆動回路部101は、基板1上に同一のプロセスで形成されるTFTで構成されている。これらのTFTは、プラズマCVD法で形成した非晶質シリコン膜の含有水素量を減らした後に、図1で示した実施例と同様なプロセスで結晶化された。この時の基板加熱温度は300°Cである。前述のようにして、図8に示した液晶ディスプレイを作成した。その際、透明電極、保持容量部の形成に関しては従来と同一の方法を用いた。以上のようにして、駆動回路一体型TFTアクティブマトリクス方式液晶ディスプレイが形成できた。本実施例によれば、同一基板上に、一つの工程で同時に画素部100と駆動回路部101が形成されるので、製造工程が簡略化かつ低減され、液晶ディスプレイのコンパクト化及びコスト低減の効果が得られた。

【0014】上記各実施例では、レーザアニール時の基板加熱温度は、いずれも300°Cであるが、加熱温度は、レーザアニール時に結晶化しようとしている膜からの上下方向(基板と垂直の方向)への放熱量がほぼ均一になるように設定すればよい。また、雰囲気ガス供給系15から不活性ガス等の非酸化性ガスを供給する際に、冷却機構22でそのガスを冷却し、結晶化しようとしている膜の表面側からの放熱を促進することによって基板の加熱と合わせて膜からの放熱量を制御することができる。ただし、基板の加熱温度は、基板としてガラスが用いられている場合は重点以下(例えばコーニング7059ガラスで約600°C以下)、シリコン基板の場合はその重点以下に押さえる必要がある。

【0015】

【発明の効果】本発明によれば、非晶質半導体膜レーザアニール時に該非晶質半導体膜が基板側から加熱される

6

ので、該膜の結晶化が膜の表面側からも進行し、非晶質半導体膜を、結晶粒径が半導体膜の深さ方向にも均一な多結晶半導体膜に改質することが可能となり、電気特性及びその均一性にも優れている薄膜半導体装置が製造される効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施例である半導体製造装置の要部構成を示すブロック図である。

【図2】本発明の第2の実施例の膜厚とX線回折による結晶性の評価結果の関係を示すグラフである。

【図3】本発明の第2の実施例の膜厚と結晶子サイズの関係を示すグラフである。

【図4】本発明の第3の実施例の製造工程(ゲート電極形成時)におけるTFTの断面模式図である。

【図5】本発明の第3の実施例の製造工程(シリコン膜形成時)におけるTFTの断面模式図である。

【図6】本発明の第3の実施例の製造工程(シリコン膜結晶化後)におけるTFTの断面模式図である。

【図7】本発明の第3の実施例であるTFTの断面模式図である。

【図8】本発明の第4の実施例である、駆動回路と表示部とが同時に形成された一体型液晶ディスプレイの要部配置を示す平面図である。

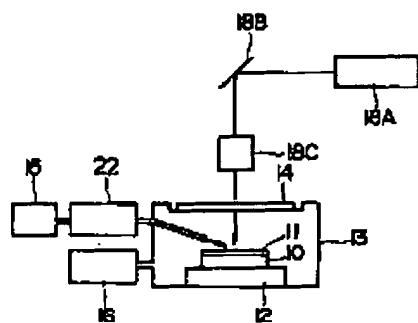
【符号の説明】

1	ガラス基板
2	Cr膜
3	SiN膜
4	非晶質シリコン膜
5	多結晶シリコン膜
6	ニアシリコン膜
7	Cr膜
8	Al膜
10	ガラス基板
11	非晶質シリコン膜
12	基板加熱機構付サンブルホルダー
13	チャンバー
14	石英窓
15	雰囲気ガス供給系
16	真空排気系
18A	エキシマレーザ発振器
18B	ミラー
18C	ビーム均一化装置
100	画素部
101	駆動回路部

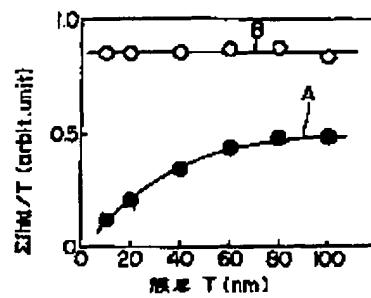
(5)

特開平4-288915

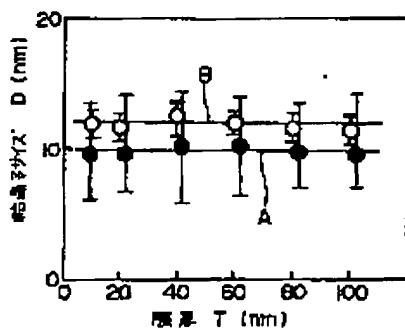
【図1】



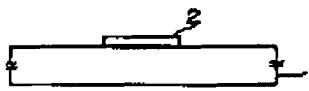
【図2】



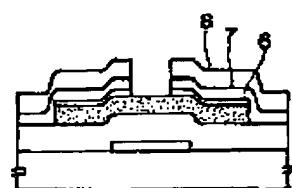
【図3】



【図4】



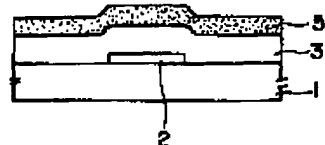
【図7】



【図5】



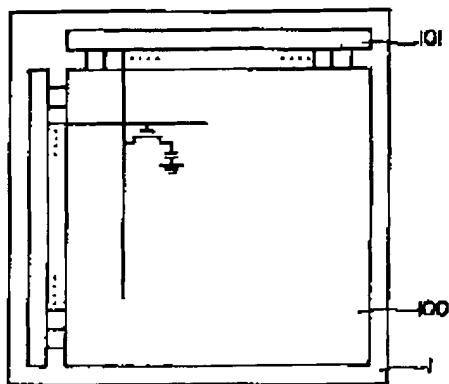
【図6】



(6)

特開平4-286318

【図8】



フロントページの続き

(51) Int. Cl.³
H01L 29/784

識別記号 庁内登録番号 P I

技術表示箇所